

PATENT ABSTRACTS OF JAPAN

(11) Publication number : 10-112503
(43) Date of publication of application : 28.04.1998

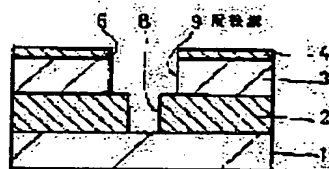
(51) Int. Cl. H01L 21/768
H01L 21/28
H01L 21/3205

(21) Application number : 08-281775 (71) Applicant : SONY CORP
(22) Date of filing : 03.10.1996 (72) Inventor : HASEGAWA TOSHIAKI

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE**(57) Abstract:**

PROBLEM TO BE SOLVED: To provide a manufacturing method of a semiconductor device, which can easily form wiring buried in a connection hole and a wiring groove by means of a damachine process, without increasing the number of processes when an organic low dielectric constant film is used for a part of an interlayer insulating film.

SOLUTION: A silicon oxide film 2, an organic low dielectric constant film 3 and a silicon oxide film 4 are sequentially formed on a silicon substrate 1. The silicon oxide film 4 is selectively etched and an opening 6, in the form of a wiring pattern, is formed. Then, the organic low dielectric constant film 3 and the silicon oxide film 2 in the opening 6 are sequentially and selectively etched, and a via hole 8 is formed. Then, the wiring groove 9 is formed by etching the organic low dielectric constant film 3 with the silicon oxide film 4 as a mask. Then, a wiring material is formed on the whole surface of the substrate, the wiring material is polished and the wiring material of an unwanted part is removed. Thus, the wiring buried in the via hole 8 and the wiring groove 9 is formed.

**LEGAL STATUS**

[Date of request for examination]
[Date of sending the examiner's decision
of rejection]
[Kind of final disposal of application
other than the examiner's decision of
rejection or application converted
registration]
[Date of final disposal for application]
[Patent number]
[Date of registration]
[Number of appeal against examiner's
decision of rejection]
[Date of requesting appeal against
examiner's decision of rejection]
[Date of extinction of right]

Copyright (C) : 1998, 2000 Japanese Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-112503

(43) 公開日 平成10年(1998) 4月28日

(51) IntCl⁴H 0 1 L 21/768
21/28
21/3205

識別記号

F I

H 0 1 L 21/90
21/28
21/88D
L
K

審査請求 未請求 請求項の数 4 F D (全 6 頁)

(21) 出願番号

特願平8-281775

(22) 出願日

平成8年(1996)10月3日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 長谷川 利昭

東京都品川区北品川6丁目7番35号 ソニー株式会社内

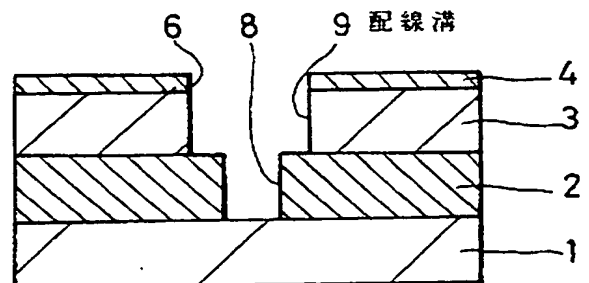
(74) 代理人 弁理士 杉浦 正知

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 層間絶縁膜の一部に有機低誘電率膜を用いた場合に、ダマシンプロセスにより接続孔および配線溝に埋め込まれた配線をプロセス数を増やすことなく容易に形成することができる半導体装置の製造方法を提供する。

【解決手段】 シリコン基板1上に酸化シリコン膜2、有機低誘電率膜3および酸化シリコン膜4を順次成膜した後、酸化シリコン膜4を選択的にエッチングして配線パターンの形状の開口6を形成する。次に、開口6の部分の有機低誘電率膜3および酸化シリコン膜2を順次選択的にエッチングしてビアホール8を形成した後、酸化シリコン膜4をマスクとして有機低誘電率膜3をエッチングすることにより配線溝9を形成する。次に、基板全面に配線材料を成膜した後、この配線材料を研磨して不要部分の配線材料を除去することによりビアホール8および配線溝9に埋め込まれた配線を形成する。



(2)

【特許請求の範囲】

【請求項1】 基板上に絶縁膜および有機低誘電率膜を層間絶縁膜として順次形成する工程と、
上記有機低誘電率膜上に、上記有機低誘電率膜をエッチングする際にエッチング耐性を有する物質からなり、かつ、配線パターンの形状を有する開口を有するエッチングマスクを形成する工程と、
上記エッチングマスクの上記開口の部分における上記有機低誘電率膜および上記絶縁膜を順次選択的にエッチングすることにより接続孔を形成する工程と、
上記エッチングマスクを用いて上記有機低誘電率膜をエッチングすることにより配線溝を形成する工程と、
上記基板の全面に配線材料を成膜する工程と、
上記配線材料を研磨することにより上記接続孔および上記配線溝に埋め込まれた配線を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項2】 上記絶縁膜は酸化シリコン膜であることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項3】 上記有機低誘電率膜はポリテトラフルオロエチレン、フッ化ポリアリルエーテルまたはフッ化ポリイミドからなることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項4】 上記エッチングマスクは酸化シリコンまたは窒化シリコンからなることを特徴とする請求項1記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、半導体装置の製造方法に関し、特に、層間絶縁膜の一部に有機低誘電率膜を用いる半導体装置の製造に適用して好適なものである。

【0002】

【従来の技術】半導体装置の高集積化に伴って、配線幅の微細化および配線ピッチの縮小化が必要となっている。また、同時に、低消費電力化、高速化などの要求に伴って、層間絶縁膜の低誘電率化が必要になっている。特に、ロジック系の半導体装置では、微細配線による抵抗上昇や配線間容量の増加が半導体装置の動作速度の劣化につながるため、微細でかつ低誘電率の膜を層間絶縁膜として用いた多層配線が必要となっている。

【0003】配線幅の微細化および配線ピッチの縮小化は、配線自身のアスペクト比を大きくするだけでなく、配線間のスペースのアスペクト比を大きくし、結果として、縦方向に細長い微細配線を形成する技術や微細な配線間のスペースを層間絶縁膜で埋め込む技術などに負担がかかり、半導体装置の製造プロセスを複雑にすると同時に、プロセス数の増大を招いている。

【0004】接続孔（ビアホールともいう）と配線溝とを例えばAl系の配線材料のリフロースパッタリングなどにより同時に埋め込み、CMP（Chemical Mechani-

cal Polish）法により研磨を行って不要部分の配線材料を除去することにより接続孔および配線溝に埋め込まれた配線を形成する、いわゆるダマシン（Damascene）プロセスでは、高アスペクト比の配線をエッチングで形成することも、配線間のスペースを層間絶縁膜で埋め込む必要もなく、半導体装置の製造に要するプロセス数を大幅に減らすことが可能である。このダマシンプロセスは、配線のアスペクト比が高くなるほど、また、配線総数が増大するほど、半導体装置の製造に要するコストの削減に大きく寄与するようになる。

【0005】

【発明が解決しようとする課題】一方、層間絶縁膜の低誘電率化は、配線間容量を低減するが、例えば設計ルールが0.18 μ mルール以下の半導体装置においては、比誘電率が2.5以下の膜が層間絶縁膜に用いられる。このような比誘電率が2.5以下の膜としては、フルオロカーボン膜などの有機低誘電率膜が最も有望視されている。しかしながら、この有機低誘電率膜は、従来の半導体装置において層間絶縁膜に用いられている酸化シリコン膜と膜質が大きく異なることから、この有機低誘電率膜を層間絶縁膜に用いた場合に適した製造プロセスが求められていた。

【0006】したがって、この発明の目的は、層間絶縁膜の一部に有機低誘電率膜を用いた場合に、ダマシンプロセスにより、接続孔および配線溝に埋め込まれた配線をプロセス数を増やすことなく容易に形成することができ半導体装置の製造方法を提供することにある。

【0007】

【課題を解決するための手段】上記目的を達成するために、この発明による半導体装置の製造方法は、基板上に絶縁膜および有機低誘電率膜を層間絶縁膜として順次形成する工程と、有機低誘電率膜上に、有機低誘電率膜をエッチングする際にエッチング耐性を有する物質からなり、かつ、配線パターンを有する開口を有するエッチングマスクを形成する工程と、エッチングマスクの開口の部分における有機低誘電率膜および絶縁膜を順次選択的にエッチングすることにより接続孔を形成する工程と、エッチングマスクを用いて有機低誘電率膜をエッチングすることにより配線溝を形成する工程と、基板の全面に配線材料を成膜する工程と、配線材料を研磨することにより接続孔および配線溝に埋め込まれた配線を形成する工程とを有することを特徴とするものである。

【0008】この発明において、絶縁膜は、典型的には、酸化シリコン膜である。ここで、この酸化シリコン膜には、SiO₂膜、SiO_x（x≠2）膜、SiOF膜などのほか、これらの膜にP、B、Asなどをドーピングした膜（BPSG膜、PSG膜、BSG膜、AsSG膜など）も含まれる。また、有機低誘電率膜の例をいくつか挙げると、ポリテトラフルオロエチレン、フッ化ポリアリルエーテル、フッ化ポリイミドなどからなる膜

(3)

である。さらに、エッチングマスクは、例えば酸化シリコン膜や窒化シリコン膜などにより形成される。この場合も、この酸化シリコン膜には、 SiO_2 膜、 SiO_x ($x \neq 2$) 膜、 SiOF 膜などのほか、これらの膜に P、B、As などをドーピングした膜 (BPSG 膜、PSG 膜、BSG 膜、AsSG 膜など) も含まれる。

【0009】上述のように構成されたこの発明による半導体装置の製造方法によれば、有機低誘電率膜をエッチングする際にエッチング耐性を有する物質からなり、かつ、配線パターンの形状を有する開口を有するエッチングマスクを有機低誘電率膜上に形成し、そのエッチングマスクの開口の部分における有機低誘電率膜および絶縁膜を順次選択的にエッチングすることにより接続孔を形成した後、そのエッチングマスクを用いて有機低誘電率膜をエッチングすることにより配線溝を形成するので、絶縁膜とその上の有機低誘電率膜との複合膜からなる層間絶縁膜に接続孔および配線溝を容易に形成することができる。そして、ダマシンプロセスにより、これらの接続孔および配線溝に埋め込まれた配線を容易に形成することができる。これらのプロセスにおいて必要なリソグラフィの回数は、エッチングマスクを形成するためのリソグラフィと、接続孔を形成するためのリソグラフィとの2回であり、従来と同じである。

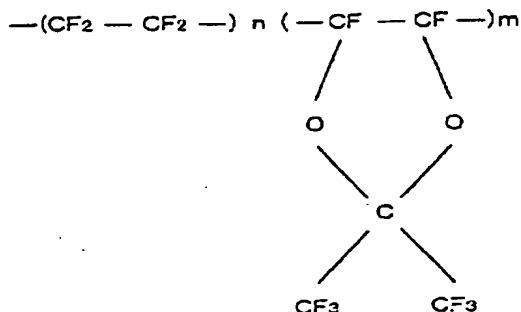
【0010】

【発明の実施の形態】以下、この発明の実施形態について図面を参照しながら説明する。なお、実施形態の全図において、同一または対応する部分には同一の符号を付す。

【0011】図1～図10は、この発明の第1の実施形態による半導体装置の製造方法を示す。この第1の実施形態による半導体装置の製造方法においては、まず、図1に示すように、あらかじめ素子 (図示せず) が形成されたシリコン基板1上に膜厚が例えば500nmの酸化シリコン膜2を成膜する。この酸化シリコン膜2の成膜には、例えば、反応ガスとして SiH_4 と O_2 との混合ガスを用いたCVD法、あるいは、反応ガスとしてテトラエトキシシラン (TEOS) と O_2 との混合ガスを用いたプラズマCVD法が用いられる。

【0012】次に、酸化シリコン膜2上に例えば化学構造

【化1】



で表されるポリテトラフルオロエチレンからなる膜厚が例えば500nmの有機低誘電率膜3を成膜する。このポリテトラフルオロエチレンからなる有機低誘電率膜3の成膜は、具体的には例えば次のようにして行う。すなわち、まず、このポリテトラフルオロエチレンをフルオロカーボン系の溶媒に溶かし、粘性を30cpに調整した後、これをスピンコーターで基板の上に回転塗布し、膜厚500nmの薄膜を形成する。このときの回転数は例えば3000rpmとする。引き続いて、不活性ガスである N_2 ガスを用い、100℃、大気圧の雰囲気中でベーキング (キュア) を2分間行い、溶媒を蒸発させる。なお、このベーキングの雰囲気ガスとしては、 N_2 ガスの代わりにArガスやHeガスなどを用いてもよい。次に、不活性ガス、例えば N_2 ガス雰囲気において例えば300℃で熱処理を行い、有機低誘電率膜3を固化する。

【0013】次に、図3に示すように、有機低誘電率膜3上に膜厚が例えば100nmの酸化シリコン膜4を成膜する。この酸化シリコン膜4の成膜には、反応ガスとして例えば SiH_4 と O_2 との混合ガスを用いたプラズマCVD法を用いる。この100nmという酸化シリコン膜4の膜厚は、基板表面上のものであり、図示省略した配線間の狭い溝部における膜厚はこれよりも薄い。次に、図4に示すように、リソグラフィにより、酸化シリコン膜4上に配線パターン形成用のレジストパターン5を形成する。

【0014】次に、例えば一般的なマグネトロン方式のドライエッチング装置を用い、レジストパターン5をマスクとして酸化シリコン膜4をエッチングする。この後、レジストパターン5を除去する。これによって、図5に示すように、配線パターンの形状を有する開口6が形成される。このときのエッチング条件の一例を挙げると、RFプラズマ電力を1500Wとし、エッチングガスとして C_2F_6 と CO とArと O_2 との混合ガスを用い、それらの流量をそれぞれ14sccm、180sccm、240sccmおよび6sccmとし、圧力は6.7Pa (50mTorr) とし、基板温度は室温程度に保つ。次に、図6に示すように、リソグラフィにより、酸化シリコン膜4および有機低誘電率膜3上にヴィアホール形成用のレジストパターン7を形成する。

【0015】次に、例えば一般的なマグネトロン方式のドライエッチング装置を用い、レジストパターン7をマスクとして酸化シリコン膜4の開口6の部分の有機低誘電率膜3および酸化シリコン膜2を順次選択的にエッチングする。この後、レジストパターン7を除去する。これによって、図7に示すように、ヴィアホール8が形成される。このときの有機低誘電率膜3のエッチング条件の一例を挙げると、RFプラズマ電力を500Wとし、エッチングガスとして CHF_3 と CF_4 とHeとの混合ガスを用い、それらの流量をそれぞれ25sccm、5

(4)

0 sccmおよび200 sccmとし、圧力は6.7 Pa (50 mTorr)とし、基板温度は室温程度に保つ。また、酸化シリコン膜2のエッチング条件の一例を挙げると、RFプラズマ電力を1500 Wとし、エッチングガスとして C_2F_6 とCOとArと O_2 との混合ガスを用い、それらの流量をそれぞれ14 sccm、180 sccm、240 sccmおよび6 sccmとし、圧力は6.7 Pa (50 mTorr)とし、基板温度は室温程度に保つ。

【0016】次に、例えば一般的なマグネトロン方式のドライエッチング装置を用い、酸化シリコン膜4をマスクとして有機低誘電率膜3をエッチングする。これによって、図8に示すように、酸化シリコン膜4の開口6と同一形状の配線溝9が形成される。このときのエッチング条件の一例を挙げると、RFプラズマ電力を500 Wとし、エッチングガスとして CHF_3 と CF_4 とHeとの混合ガスを用い、それらの流量をそれぞれ25 sccm、50 sccmおよび200 sccmとし、圧力は6.7 Pa (50 mTorr)とし、基板温度は室温程度に保つ。

【0017】次に、図9に示すように、金属膜成膜用の一般的なスパッタリング装置を用いて、基板全面に例えばAl-Cu合金膜などのようなAl合金膜10を配線材料として成膜する。この場合、この成膜時の基板温度をAl合金の融点近くにしたり、成膜後にAl合金の融点近くの温度でリフローを行うことにより、このAl合金膜10により接続孔8および配線溝9が完全に埋め込まれるようにする。次に、一般的なCMP装置を用い、酸化シリコン膜4を研磨ストッパー層として用いてAl合金膜10をCMP法により研磨し、このAl合金膜10のうち酸化シリコン膜4上にある不要部分を除去する。このとき、硬度が非常に高い酸化シリコン膜4を研磨ストッパー層として用いているため、酸化シリコン膜4などと比較して硬度が非常に低い有機低誘電率膜3を直接CMP法により研磨したときに見られるような、スクラッチなどの発生を防止することができる。以上により、図10に示すように、ビアホール8および配線溝9に埋め込まれ、ビアホール8の直下のシリコン基板1中に形成された拡散層(図示せず)とコンタクトしたAl合金配線11が形成される。

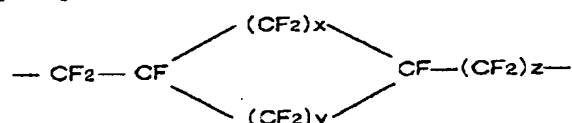
【0018】この第1の実施形態によれば、ビアホール8および配線溝9に埋め込まれたAl合金配線11の形成に必要なリソグラフィーの回数は、配線パターン形成用のレジストパターン5の形成用のリソグラフィーと、ビアホール形成用のレジストパターン7の形成用のリソグラフィーとの2回であり、従来と同じであるので、従来に比べてプロセス数の増加はない。すなわち、プロセス数を増やすことなく、ダマシンプロセスにより、絶縁膜2とその上の有機低誘電率膜3との複合膜からなる低誘電率の層間絶縁膜に形成されたビアホール

8および配線溝9に埋め込まれたAl合金配線11を容易に形成することができる。

【0019】また、有機低誘電率膜3は一般に酸化シリコン膜と比較して、耐熱性、硬度、耐酸化性などの特性が悪く、膜質の点でも劣るが、この第1の実施形態においては、Al合金配線11のうち配線間隔が最も短い配線溝9に埋め込まれた部分間の絶縁膜だけがこの有機低誘電率膜3により形成され、Al合金配線11のうち配線間隔が比較的広い接続孔8に埋め込まれた部分間の絶縁膜は膜質が良好な酸化シリコン膜2により形成されているので、有機低誘電率膜3の特性や膜質は実際上問題とならず、この有機低誘電率膜3による層間絶縁膜の低誘電率化、したがって配線間容量の低減の効果を十分に発揮することができる。

【0020】次に、この発明の第2の実施形態について説明する。この第2の実施形態による半導体装置の製造方法においては、第1の実施形態と同様にしてシリコン基板1上に酸化シリコン膜2を成膜した後、この酸化シリコン膜2上に例えば化学構造式

【化2】

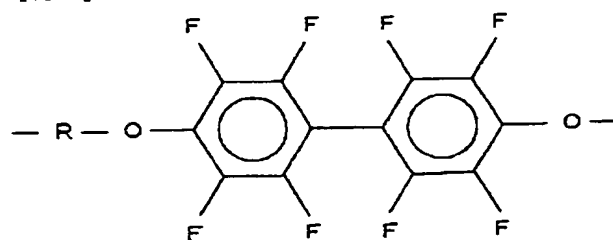


で表されるポリテトラフルオロエチレンからなる膜厚が例えば500 nmの有機低誘電率膜3を成膜する。このポリテトラフルオロエチレンからなる有機低誘電率膜3の成膜法は、最後に行われる固化のための熱処理の温度を350℃とすることを除いて、第1の実施形態と同様である。この後、第1の実施形態と同様に工程を進めて、接続孔8および配線溝9に埋め込まれたAl合金配線11を形成する。

【0021】この第2の実施形態によっても、第1の実施形態と同様な利点を得ることができる。

【0022】次に、この発明の第3の実施形態について説明する。この第3の実施形態による半導体装置の製造方法においては、第1の実施形態と同様にしてシリコン基板1上に酸化シリコン膜2を成膜した後、この酸化シリコン膜2上に例えば化学構造式

【化3】



で表されるフッ化ポリアリルエーテルからなる有機低誘電率膜3を成膜する。このフッ化ポリアリルエーテルからなる有機低誘電率膜3の成膜法は、最後に行われる固

(5)

化のための熱処理の温度を350℃とすることを除いて、第1の実施形態と同様である。この後、第1の実施形態と同様に工程を進めて、接続孔8および配線溝9に埋め込まれたAl合金配線11を形成する。

【0023】この第3の実施形態によっても、第1の実施形態と同様な利点を得ることができる。

【0024】次に、この発明の第4の実施形態について説明する。この第4の実施形態による半導体装置の製造方法においては、第1の実施形態と同様にしてシリコン基板1上に酸化シリコン膜2を成膜した後、この酸化シリコン膜2上に例えばフッ化ポリイミド（ポリイミドにフルオロカーボン材料を混合したもの）からなる有機低誘電率膜3を成膜する。このフッ化ポリイミドからなる有機低誘電率膜3の成膜法は、最後に行われる固化のための熱処理の温度を350℃とすることを除いて、第1の実施形態と同様である。この後、第1の実施形態と同様に工程を進めて、接続孔8および配線溝9に埋め込まれたAl合金配線11を形成する。

【0025】この第4の実施形態によっても、第1の実施形態と同様な利点を得ることができる。

【0026】次に、この発明の第5の実施形態について説明する。この第5の実施形態による半導体装置の製造方法においては、第1の実施形態と同様にしてポリテトラフルオロエチレンをフルオロカーボン系の溶媒に溶かしたものを基板上に回転塗布して有機低誘電率膜3を成膜した後、その溶媒の蒸気圧以下の圧力、例えば10Pa程度の圧力の真空中において、ポリテトラフルオロエチレンのガラス転移温度以上熱分解温度以下の温度、例えば200℃で5分間ベーキングを行い、引き続いてさらに、真空中において400℃で30分間熱処理を行う。これによって、有機低誘電率膜3中の溶媒が気化し、有機低誘電率膜3の構成分子から脱離する際、溶媒の体積が急激に膨張することから、図11に示すように、有機低誘電率膜3中に例えば径がサブクォーターミクロン以下の微細な気泡からなるボイド12が多数形成され、この有機低誘電率膜3は多孔質化される。

【0027】この後、第1の実施形態と同様に工程を進めて、図12に示すように、接続孔8および配線溝9に埋め込まれたAl合金配線11を形成する。

【0028】この第5の実施形態によれば、第1の実施形態と同様な利点を得ることができるほか、有機低誘電率膜3が多孔質化されることによりその比誘電率を1.5程度に低減することができるため、層間絶縁膜をより一層低誘電率化することができ、配線間容量を一層低減することができるという利点を得ることができる。

【0029】以上、この発明の実施形態について具体的に説明したが、この発明は、上述の実施形態に限定されるものではなく、この発明の技術的思想に基づく各種の変形が可能である。

【0030】例えば、上述の第5の実施形態において

は、第1の実施形態において用いられた有機低誘電率膜3中に微細なボイド12を形成して多孔質化する場合について説明したが、第2～第4の実施形態において用いられた有機低誘電率膜3中に同様に微細なボイド12を形成してもよい。

【0031】また、上述の第1～第5の実施形態においては、シリコン基板1中に形成された拡散層にAl合金配線11をコンタクトさせる場合について説明しているが、この発明は、例えば、下層Al合金配線に上層Al合金配線をコンタクトさせる場合に適用することもできる。

【0032】さらに、上述の第1～第5の実施形態においては、配線材料としてAl合金を用いているが、配線材料としては、必要に応じて他の材料、例えば純Al、Cu合金、純Cuなどを用いてもよい。

【0033】

【発明の効果】以上説明したように、この発明による半導体装置の製造方法によれば、層間絶縁膜の一部に有機低誘電率膜を用いた場合に、ダマシンプロセスにより、接続孔および配線溝に埋め込まれた配線をプロセス数を増やすことなく容易に形成することができる。

【図面の簡単な説明】

【図1】この発明の第1の実施形態による半導体装置の製造方法を説明するための断面図である。

【図2】この発明の第1の実施形態による半導体装置の製造方法を説明するための断面図である。

【図3】この発明の第1の実施形態による半導体装置の製造方法を説明するための断面図である。

【図4】この発明の第1の実施形態による半導体装置の製造方法を説明するための断面図である。

【図5】この発明の第1の実施形態による半導体装置の製造方法を説明するための断面図である。

【図6】この発明の第1の実施形態による半導体装置の製造方法を説明するための断面図である。

【図7】この発明の第1の実施形態による半導体装置の製造方法を説明するための断面図である。

【図8】この発明の第1の実施形態による半導体装置の製造方法を説明するための断面図である。

【図9】この発明の第1の実施形態による半導体装置の製造方法を説明するための断面図である。

【図10】この発明の第1の実施形態による半導体装置の製造方法を説明するための断面図である。

【図11】この発明の第5の実施形態による半導体装置の製造方法を説明するための断面図である。

【図12】この発明の第5の実施形態による半導体装置の製造方法を説明するための断面図である。

【符号の説明】

1・・・シリコン基板、2、4・・・酸化シリコン膜、3・・・有機低誘電率膜、5、7・・・レジストパターン、6・・・開口、8・・・ビアホール、9・・・配

(6)

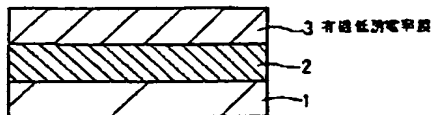
線溝、10・・・Al合金膜、11・・・Al合金配

線、12・・・ボイド

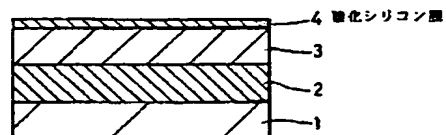
【図1】



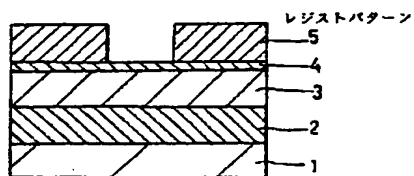
【図2】



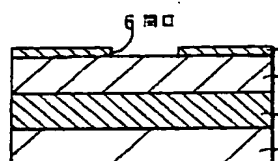
【図3】



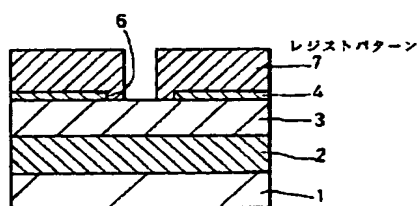
【図4】



【図5】

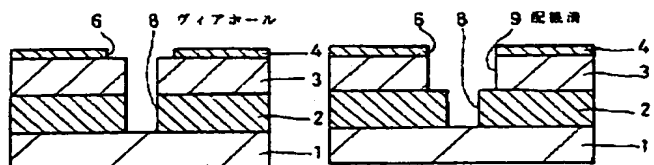


【図6】

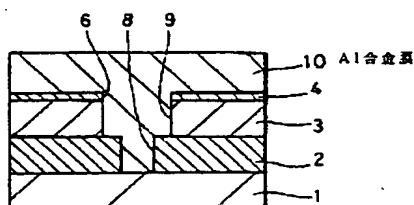


【図7】

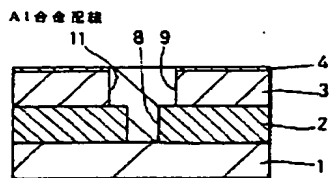
【図8】



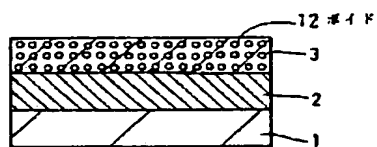
【図9】



【図10】



【図11】



【図12】

